

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05110428 A**

(43) Date of publication of application: **30.04.93**

(51) Int. Cl

H03L 7/10

(21) Application number: **03266218**

(71) Applicant: **NEC CORP**

(22) Date of filing: **15.10.91**

(72) Inventor: **TAKEUCHI HIROSHI**

(54) PHASE LOCKED LOOP CIRCUIT

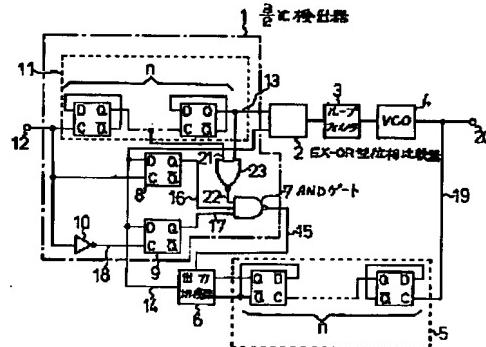
reduced and the frequency lock range is made large.

(57) Abstract:

COPYRIGHT: (C)1993,JPO&Japio

PURPOSE: To reduce the synchronization time and to widen the frequency lock range by detecting a phase difference $3/2\pi$ between an input signal and a VCO output signal and inverting the output of the VCO with a changeover device with 2^n frequency divider.

CONSTITUTION: An output 13 of a 2^n frequency divider 11 and a 2^{n-1} frequency division waveform 21 of a 2^n frequency divider 11 are NORed by a NOR gate 23, then a level of an output waveform 22 goes to an H level only for a phase difference of $3/2\pi - 2\pi$. Furthermore, an edge of an output waveform 14 of a changeover device 6 is detected by using an input signal 12 and its inversion signal 18 and when outputs 16, 17 of D-FFs 8, 9 go to a H level, the phase difference reaches a point of $3/2\pi$. Moreover, the output signal 14 is inverted by a switching control signal 15 at the detection point of time of $3/2\pi$. Thus, a frequency of the output signal 19 of the VCO 4 is fed back in a direction of the decreased frequency and the output signals 13, 14 are synchronized and then the input signal 12 and the output signal 19 are synchronized. As a result, the synchronizing time is



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-110428

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl.⁵
H 0 3 L 7/10

識別記号
9182-5 J
9182-5 J

府内整理番号
H 0 3 L 7/ 10

F I

技術表示箇所
A
Z

審査請求 未請求 請求項の数 1(全 5 頁)

(21)出願番号 特願平3-266218

(22)出願日 平成3年(1991)10月15日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 竹内 洋

東京都港区芝五丁目7番1号日本電気株式
会社内

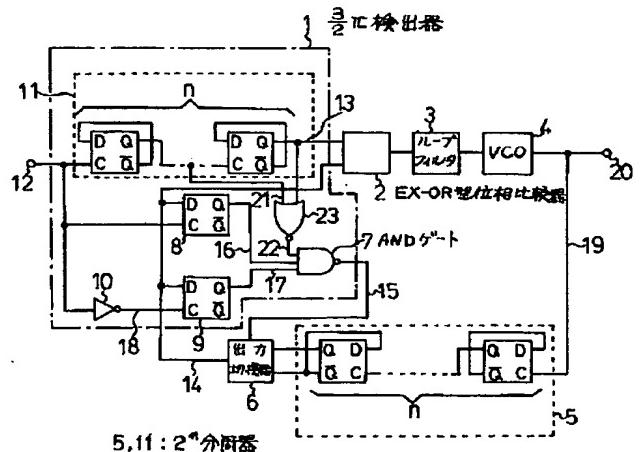
(74)代理人 弁理士 熊谷 雄太郎

(54)【発明の名称】 位相同期回路

(57)【要約】

【目的】 同期時間を短くしつつ周波数引き込み範囲を広くする。

【構成】 入力信号を 2^n 分周して出力する 2^n 分周器11と、出力切換器6の出力14をデータ、入力信号をクロックとするD-F F8と、出力切換器6の出力をデータ、インバータ10の出力18をクロックとするD-F F9と、 2^n 分周器11の 2^{n-1} 分周出力21と 2^n 分周器11の出力13を2入力とするNORゲート23と、NORゲート出力22、D-F F8の出力16及びD-F F9出力17の出力を3入力とするANDゲート7により構成された $3/2\pi$ 検出器1により、 2^n 分周器5の出力の正反出力を出力切換器6で切り換える。この切り換えにより同期時間を短くしつつ周波数引き込み範囲を広帯域にする。



【特許請求の範囲】

【請求項1】 EX-OR型位相比較器、ループフィルタ、VCOで構成される位相同期回路において、入力信号を第1の 2^n 分周器の入力とし、該 2^n 分周器の出力をEX-OR型位相比較器の第1の入力に接続し、かつVCOの出力を正反両出力を有する第2の 2^n 分周器に接続し、かつ該第2の分周器の正反両出力を2入力信号切換器のそれぞれの入力とし、該切換器の出力を前記位相比較器の第2の入力とし、入力信号をクロック入力に接続し前記切換器の出力をデータ入力に接続した第1のD-フリップフロップ回路と、入力信号のインバータを介した反転信号をクロック入力に接続し前記切換器の出力をデータ入力に接続した第2のD-フリップフロップ回路と、第1の 2^n 分周器の出力、前記第1の 2^n 分周器の 2^{n-1} 分周出力を2入力とするNORゲートとを有し、かつ該NORゲートの出力、前記第1のD-フリップフロップ回路の出力及び前記第2のD-フリップフロップ回路の出力を3入力とする3ANDゲートの出力が前記切換器の切換制御信号入力に接続されることを特徴とする位相同期回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、位相同期回路に関し、特に、位相引き込み時間の高速化及び周波数引き込み範囲の広帯域化を可能とした位相同期回路に関する。

【0002】

【従来の技術】 従来の位相同期回路としては、図4に示すような回路が知られている。図4において、位相同期回路は、入力信号112と出力信号115の位相差を検出するEX-OR型位相比較器102と、EX-OR型位相比較器102の出力113から直流成分を抽出するループフィルタ103と、ループフィルタ103の出力114により発振周波数を制御されるVCO104を有している。VCO104は制御信号114に応じた発振周波数の信号115を出力する。

【0003】 入力信号112が系に加えられると、位相比較器102は、入力信号112の位相をVCO出力115の位相と比較して両信号の周波数と位相差に応じた誤差信号113を発生する。この誤差電圧113は、ループフィルタ103により高周波分がカットされ、DC成分の信号(制御電圧)114がVCO104に加えられる。このようにして、制御電圧114は入力信号112とVCO出力信号115の間の周波数差を低減する方向にVCO104の周波数を変える。

【0004】 この一連の動作を繰り返してVCO出力信号104は入力信号112に同期する。

【0005】

【発明が解決しようとする課題】 しかしながら、この従来の位相同期回路(PLL)では、位相比較器によって入力信号とVCO出力の位相差のみを検出し、VCOに

帰還をかけているので、入力信号とVCO出力の周波数が異なるときに位相差が $0 \sim 2\pi$ の間を回り続け、位相比較器の出力電圧は正出力、負出力の変化を繰り返し、直流成分が表われないことがある。このために、このPLLの構成では入力信号とVCO出力との周波数が異なるときにVCOの制御電圧を位相比較器の出力電圧で制御できず、同期がとれないという課題があった。

【0006】 本発明は従来の上記実情に鑑みてなされたものであり、従って本発明の目的は、従来の技術に内在する上記課題を解決することを可能とした新規な位相同期回路を提供することにある。

【0007】

【課題を解決するための手段】 上記目的を達成する為に、本発明に係るPLL回路は、従来のPLL回路の構成に対し、 2^n 分周器と、2つのD-フリップフロップ回路と、インバータと、NORゲート、ANDゲートによって構成された位相差検出回路、及びこの位相差検出回路からの制御信号を受けてVCO出力の正反を切り換える 2^n 分周器付切換器とを備えて構成される。

【0008】

【実施例】 次に本発明をその好ましい一実施例について図面を参照して具体的に説明する。

【0009】 図1は本発明の一実施例を示すブロック構成図である。

【0010】 図1を参照するに、本発明に係る位相同期回路の一実施例においては、入力信号を 2^n 分周して出力する 2^n 分周器11と、出力切換器6の出力14をデータ、入力信号をクロックとするD-フリップフロップ(以下D-FFと略記する)8と、出力切換器6の出力をデータ、インバータ10の出力18をクロックとするD-FF9と、 2^n 分周器11の 2^{n-1} 分周出力21と 2^n 分周器11の出力を2入力とするNORゲート23と、NORゲート23の出力22、D-FF8の出力16、D-FF9の出力17を3入力とするANDゲート7とにより構成された $3/2\pi$ 検出器1により、 2^n 分周器5の出力の正反出力を出力切換器6で切り換えていく。

【0011】 次に図2の各部の信号波形により、本発明の動作について詳細に説明する。

【0012】 図2では入力信号12の周波数がVCO出力信号19の周波数よりも低い場合を示している(n=4)。

【0013】 入力信号12とVCO出力信号19をそれぞれ 2^n 分周により4分周された出力13と14の位相差が $3/2\pi$ となる点を検出することを目的としたものが本発明である。

【0014】 2^n 分周器11の出力13と 2^n 分周器11の 2^{n-1} 分周波形21のNORをNORゲート23によりとることにより、その出力波形22は位相差が $3/2\pi \sim 2\pi$ 区間のみ“H”レベルとなる。

【0015】さらにこのとき入力信号12とその反転信号18により、切換器6の出力波形14のエッジを検出することにより、D-F-F出力16、17が“H”レベルになったときが $3/2\pi$ 点となる。

【0016】また $3/2\pi$ 検出時点で切換制御信号15により出力信号14は反転される。

【0017】これにより、VCO出力信号19の周波数は低くなる方向に帰還がかけられ、出力信号13と14の信号の同期がとれ、さらに入出力信号12と出力信号19の同期がとれる。

【0018】図3に本実施例の位相差とループフィルタ出力電圧の関係図を示す。 $3/2\pi$ 点でVCO出力を反転させるために、 $\pi/2 \sim 3/2\pi$ または $-\pi/2 \sim \pi/2$ で動作することになる。

【0019】

【発明の効果】以上説明したように、本発明によれば、入力信号とVCO出力信号の位相差 $3/2\pi$ を検出し、VCOの出力を 2^n 分周器付切換器によって反転させるのでVCOを制御するループフィルタ出力は常にVCO周波数を入力信号の周波数に近づけようするものとなり、同期時間が短くなるという効果が得られ、従来に比べ同期時間は $1/10$ に短縮される。

【0020】さらに本発明によれば、周波数引き込み範囲を広くするという効果も得られる。

【0021】本発明によればまた、周波数引き込み範囲は $1/2f_0$ から $2f_0$ まで広がる（ここで f_0 は入力信号の基本周波数である）。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック構成図である。

【図2】図1に示した実施例の各部における信号波形図である。

【図3】本実施例の位相差とループフィルタ出力電圧の

関係図である。

【図4】従来例のブロック図である。

【図5】従来例の位相差とループフィルタ出力電圧の関係図である。

【符号の説明】

1… $3/2\pi$ 検出器

2…位相比較器

3…ループフィルタ

4…VCO

10 5、11… 2^n 分周器

6…出力切換器

7…ANDゲート

8、9…D-フリップフロップ回路

10…インバータ

12…入力信号

13… 2^n 分周器出力

14…出力切換器出力

15…ANDゲート出力

16…第1のD-フリップフロップ出力

17…第2のD-フリップフロップ出力

18…インバータ出力

19…VCO出力

20…出力端子

21… 2^{n-1} 分周出力

22…NORゲート出力

23…NORゲート

112…入力端子

102…EX-OR型位相比較器

103…ループフィルタ

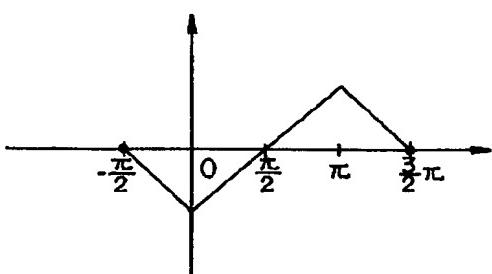
104…VCO

113…EX-OR型位相比較器出力

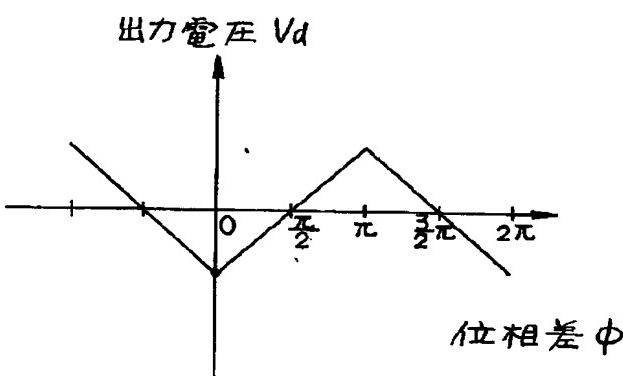
114…ループフィルタ出力

115…VCO出力

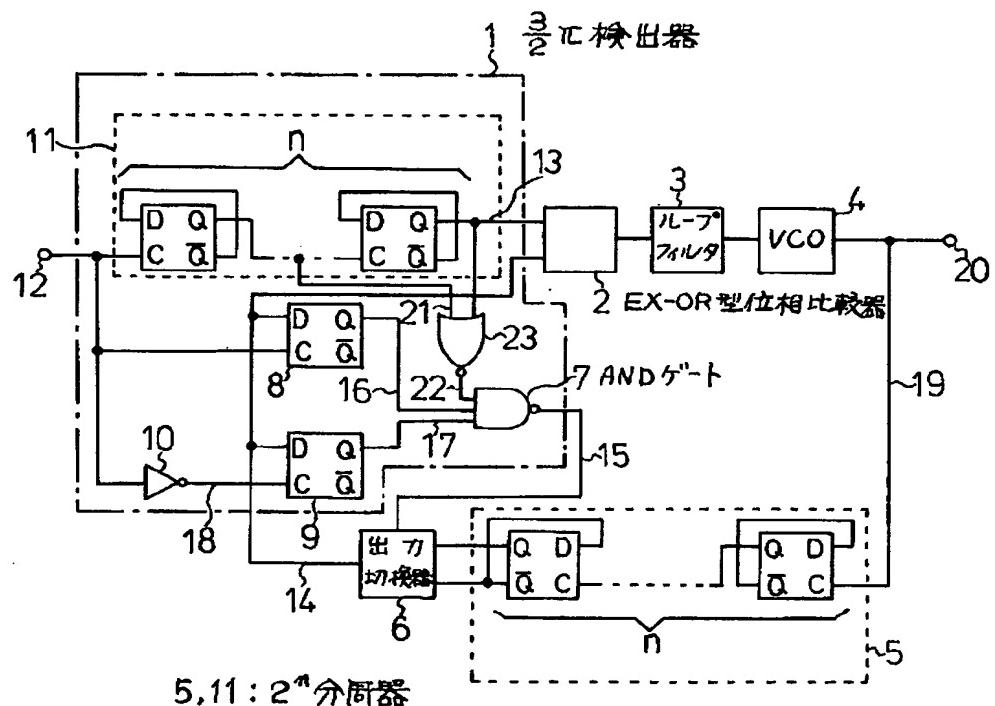
【図3】



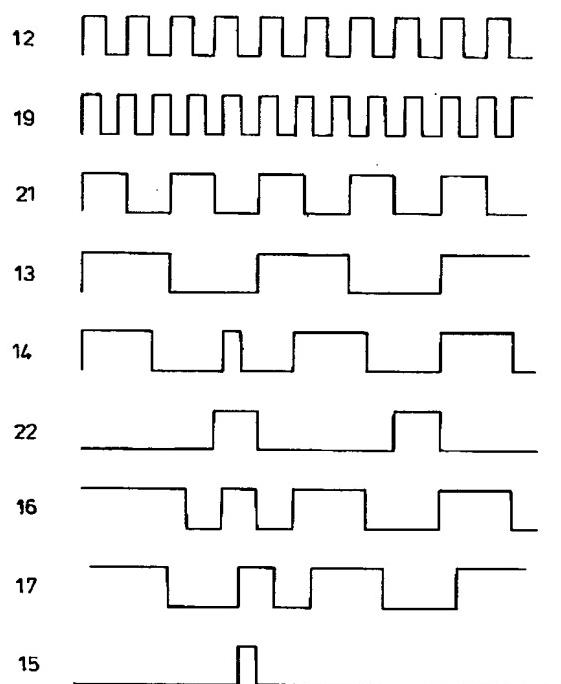
【図5】



【図1】



【圖 2】



【図 4】

